

硬 X 線光電子分光測定法を用いたシリサイド成長の
Si 基板面方位、膜厚依存性に関する研究

**Studies on the Silicide Growth of the Si Substrate Orientation and Thickness
Dependence Using X-ray Photoelectron Spectroscopy**

田中 宏明^a 本谷 宗^b 諏訪 智之^a 寺本 章伸^a

Hiroaki Tanaka^a, Tsukasa Motoya^b, Tomoyuki Suwa^a, Akinobu Teramoto^a

^a東北大学, ^b三菱電機 先端技術総合研究所

^aTohoku Univ., ^bMitsubishi Electric Corp. Advanced Technology R&D center

集積回路の高性能化のためにはSi/シリサイド界面の低抵抗接合界面形成が必須であり、我々はErSi_xを用いて $8.0 \times 10^{-10} \Omega/\text{cm}^2$ の低抵抗界面形成に成功しているが、同時に界面抵抗が Si 基板面方位によって多様に変化することも判明した。ここでは基板面方位に依存した界面抵抗変化を硬 X 線光電子分光測定によって解析を行った結果について報告する。

キーワード： シリサイド、基板面方位、光電子分光測定

背景・研究目的：

集積回路の高性能化には安定で低抵抗な Si/金属シリサイドの形成が必要不可欠である。これまでに我々は、n-type Si(100)面上においてエルビウムシリサイド(ErSi_x)を用いて 0.31eV の障壁高さとなり、 $8.0 \times 10^{-10} \Omega\text{cm}^2$ の非常に低抵抗なコンタクト形成に成功している[1]。しかし、その一方で ErSi_x の障壁高さは、Balanced CMOS[2]の達成が期待される Si(551)面上においては 0.4eV 程度に増加してしまう。この現象については、形成する ErSi_x 膜厚や酸化防止のためのタングステン(W)キャップ層厚によっても変化することが分かっている[3, 4]。低抵抗な Si/金属シリサイドを形成するためには、最適な界面構造形成を行う必要があり、そのために、これらの現象解明が必須である。今回、硬 X 線光電子分光測定を用いて ErSi_x の Si 基板面方位依存性および、形成膜厚依存性を構造的な観点から調査した。

実験：

測定試料は、Si(100)、(111)、(551)の各面方位基板上に、Er(2~10 nm)、W(100 nm)を、大気に曝さず連続的にスパッタ成膜した後、シリサイド化アニールを経て ErSi_x を作製した。W は酸化防止キャップ層として形成したもので、測定前ウェットエッチングにより除去した。構造解析は硬 X 線光電子分光測定を実施した。

実験結果・考察：

図1に、Si(100)、(111)、(551)各面方位基板におけるEr 5nm成膜時のSi 1sスペクトルを示す。ピーク高さは、Er3d_{5/2}ピーク高さによって規格化した。特に界面情報を多く含むTOA=80°のSi 1s強度をシリサイド中での相対的なSi比として考えると、(100)、(111)面と比較し(551)面上ではSi組成比の増加が考えられる。この結果は、電子エネルギー損失分光法(Electron Energy-Loss Spectroscopy: EELS)で得られた結果[3]と一致し、シリサイド中のSi含有量によって障壁高さが変化すると考えられる。

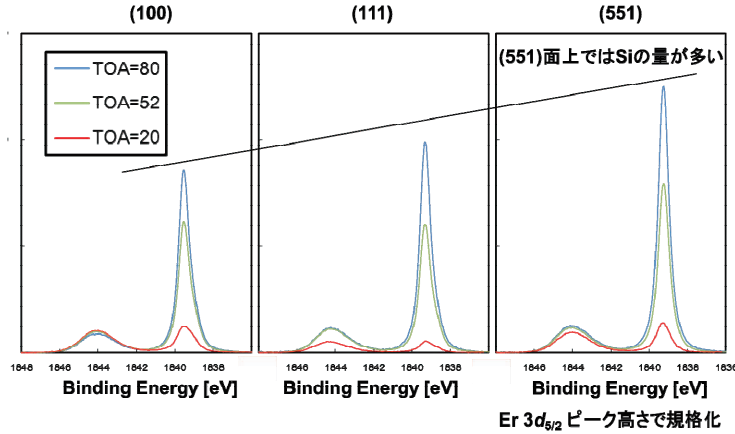


図1. Er 5nm成膜時のSi 1sスペクトル

図2に、Si各面方位基板におけるEr 5nm成膜時のSi 1sスペクトルの1839eV付近のピーク分離結果を示す。(100)、(111)面と比較して(551)面ではlow(1838.8eV)、low2(1838.4eV)の各ピークが小さい事が分かった。また図3に、Si(100)面上において、Erの成膜膜厚を3nm、5nm、10nmと変化させたときの1839eV付近のピーク分離結果を示す。膜厚が大きくなると共に、low(1838.8eV)、low2(1838.4eV)の各ピークが大きくなる事が分かった。(551)面上では、(100)、(111)面と比較して障壁高さが高くなる事、また(100)面では膜厚が薄くなると共に障壁高さが高くなる事が、これまでに分かっている[3]。今回の測定より、障壁高さが高くなる時、low(1838.8eV)、low2(1838.4eV)の各ピークが小さくなっている事が分かった。

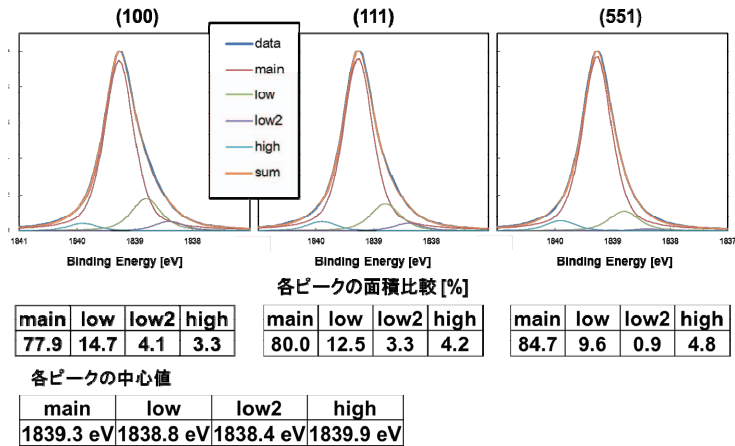


図2. Er 5nm成膜時のSi 1sスペクトルのピーク分離結果

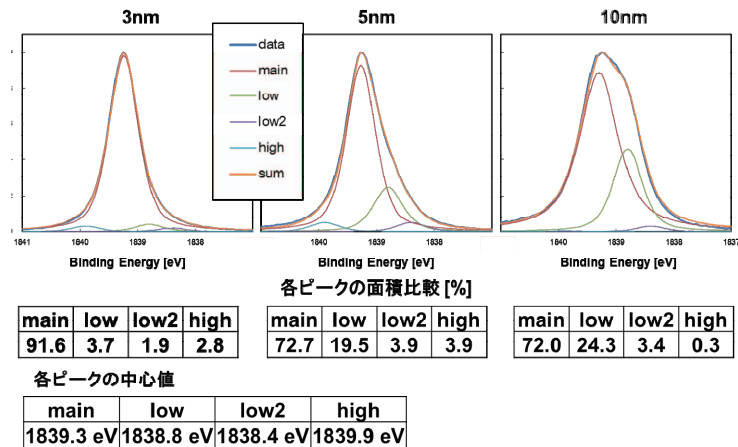


図3. Si(100)面上での Er の成膜膜厚を変化させたときの Si 1s スペクトルのピーク分離結果

今後の課題：

今回得られたこれら変化を更に詳細に解析し、Si、Er の各ピークと ErSi_x の構造の関係を見出し、別途調査した電気的特性との関連を明確化し、金属シリサイド形成に最適なプロセスを開発するための知見とする。

参考文献：

- [1] R. Kuroda, H. Tanaka, Y. Nakao, A. Teramoto, N. Miyamoto, S. Sugawa and T. Ohmi., *IEDM Tech. Dig.*, 580 (2010).
- [2] A. Teramoto, T. Hamada, M. Yamamoto, P. Gaubert, H. Akahori, K. Nii, M. Hirayama, K. Arima, K. Endo, S. Sugawa, and T. Ohmi, *IEEE Trans. Electron Devices*, **54** 1438 (2007).
- [3] H. Tanaka, A. Teramoto, R. Kuroda, Y. Nakao, T. Suwa, K. Kawase, S. Sugawa, and T. Ohmi, *ECS Trans.*, **41** 365 (2011).
- [4] H. Tanaka, A. Teramoto, S. Sugawa, and T. Ohmi, *ECS Trans.*, **45** 371 (2012).